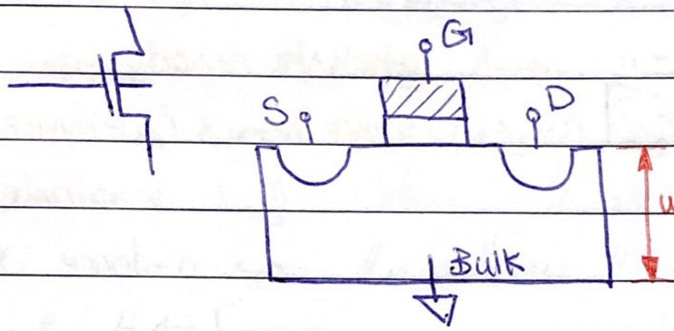
= ملاحظة مهمة :
التلخيص مش شامل ، في عدد من المحاضرات ماحضرتها / كتبت منها
+ اذا حد انتبه على أي غلط ينبه نعدل النوتس و اذا عندكم اشياء نضيفها بعض برضو.
و شكراً .

Lec 4 : Cont

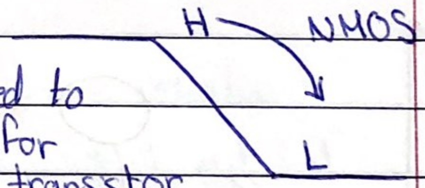
- ال Source بيرتبط مع الفولتج الأعلى و ال Drain مع الفولتج الأقل
- ال Bulk بيشبك على الجراوند فممكن ما نرسم التيرمنال الرابع.
- في capacitor بتولد بين ال gate و ال oxide.



في رسمة قبل مكانش الويدث هون أبصر ليش

- Increasing V_T causes the device to be slower

- بنتعامل مع ال device بس بيسكر السويتش كأنه R. اللي هو بيتأثر على الوقت (تقليل V_T

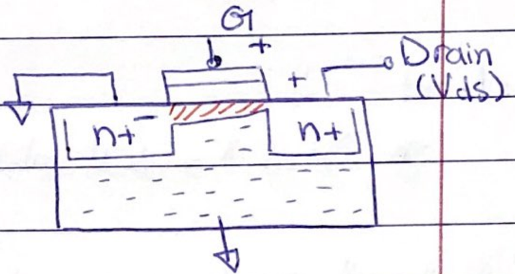


Related to R_{on} for the transistor

- بنرفع V_T عشان السويتش دو أقطع.

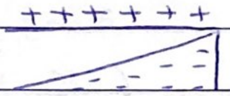
- for NMOS, when $V_{gs} > V_T$, $V_{DS} = 0$
  ↳ cutoff region (بيعمل ليكج باور)

- when $V_{gs} - V_T > V_{ds} > 0$
  ↳ linear region



• ليش المنطقة الحمرة هيك منظرها؟

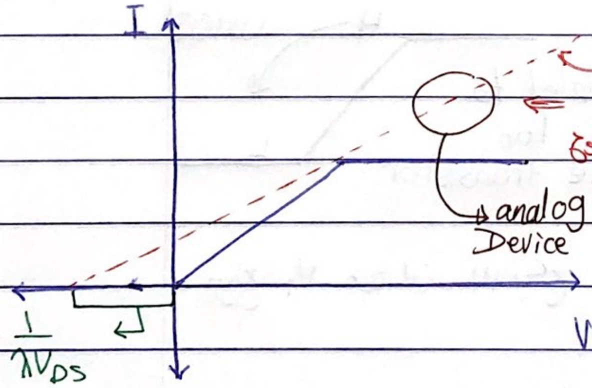
_ الـ gate بتجذب الالكترونات اللي بالـ Substrate و بتجذب الالكترونات بتعون الـ source فبصير المنظر هيك



← بس بصير pinchoff region بالـ n-device لكن الـ p-device في holes.

• الـ n-device بوخذ السيغنال من الـ H → L الـ p-device من الـ L → H.

• We treat the device as constant current source in the saturation region.



slope = λ (عادة صغير)

مرات بصير هيك بس ارفع V_{DS} و بتعتمد على نوع العمارة.

analog Device ← بعتبره analog signal فلو بهم analog اشتغلوا بهاد الـ region "مش موضوعنا"

If we consider CLM it exists, if not we don't use it

$$I = \mu \cdot \frac{W}{L} (V_{gs} - V_L)^2 \frac{(1 + \lambda V_{DS})}{2}$$

• النقطة اللي بتفصل بين الـ Saturation والـ linear region هي $V_{DS} = V_{GS} - V_T$

• شكله الـ Ron بالليينر بس " والله أعلم بس "

• الـ cutoff فيها leakage current.

• الـ ~~cutoff~~ Drain والـ Source بيتحجموا كتير

فبصير عندي منهم تحت الـ gate عشان هيك الـ length

تبع الـ Device بيقل.

• الـ p-device أبطأ من الـ n-device لأنه الـ holes أبطأ

من الـ electrons.

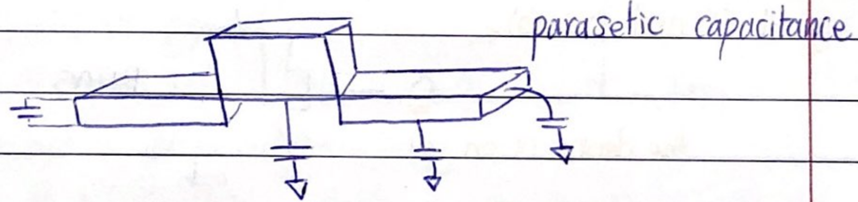
• بنكبر الـ p-device width عشان نسرعه ودايمًا" الـ p أكبر

من الـ n عشان الـ mobility تتساوى.

• كل ما تزيد الحرارة الجهاز بيصير أبطأ.

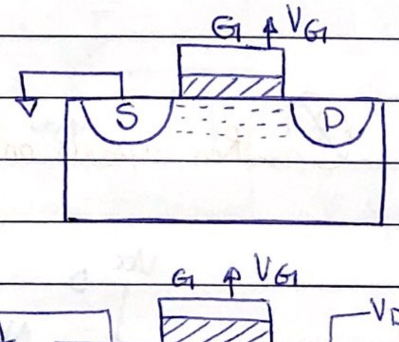
• كل مادة في الـ CMOS إلها capacitance.

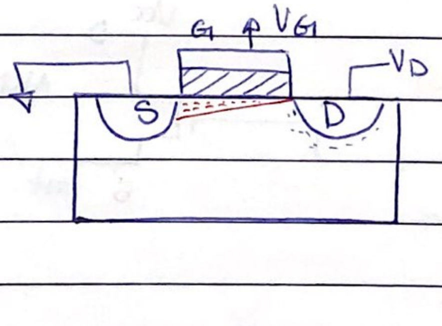
Lec 5:



• How to make the device more reliable?

- لما أزيد الجهد على الـ Drain بيصير في Hot electrons





الشرح ورا

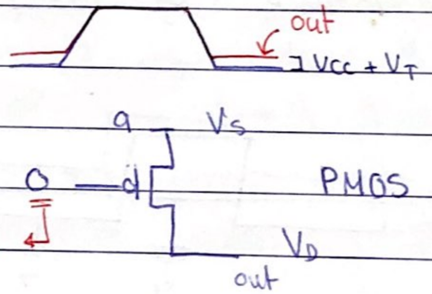
لما يرفع ال V_D وتصير تساوي V_G بصير عندي تنافر بين الالكترونز حوالين ال D و الي بيجوا من جهة ال S ، بصير التنافر و ال Channel بتصير أقل و الالكترونز بتصير تدخل في ال oxid اللي هو بنقول عنه pinch off.

[channel length modulation] اللي هو بأثر على V_T و بيغيرها.

بس تنافر الالكترونز مع بعض بتكسب طاقة و "it pinch off the oxide"

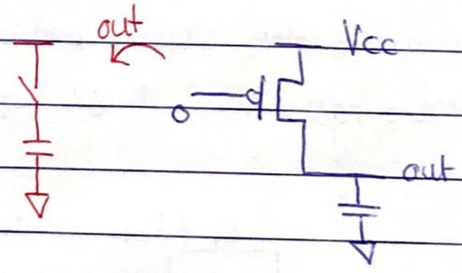
التيار بصير أبطأ، بس بقل ال width لأنه الالكترونز بتدخل في ال oxide أول بعدها بتوصل لل terminal الثاني.

- Guess the output



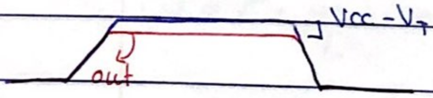
good (1) and poor (0)

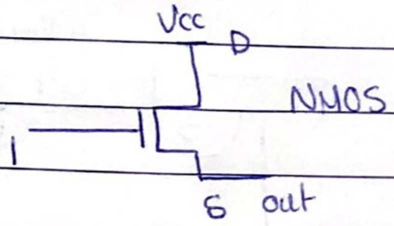
the device is on



PMOS L → H

Ø → Ron depends on the width





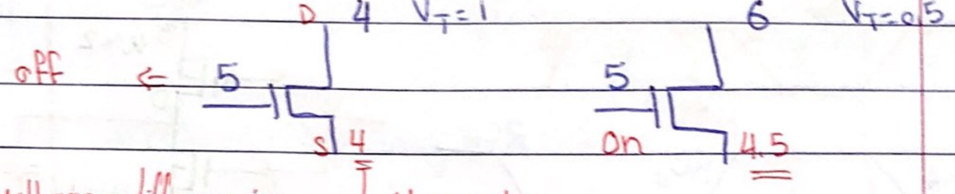
Poor (1) and good (0)

device is on

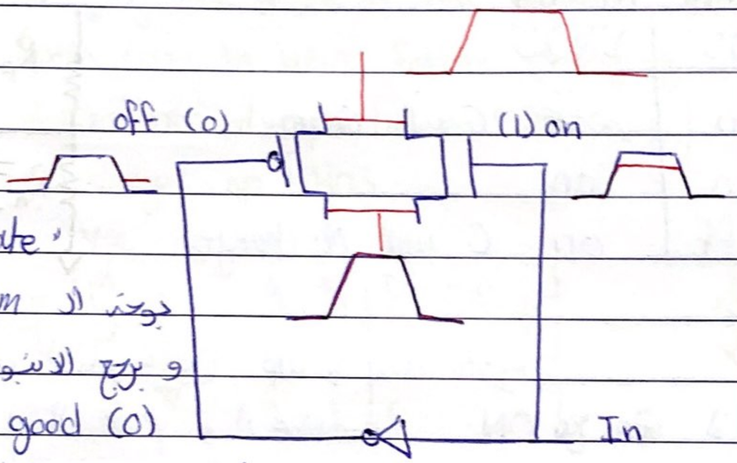
$V_{gs} = V_g - V_s > V_T$

$V_s < \underline{V_g - V_T}$

→ أكبر شيء ممكن توصله



فش voltage difference بين ال Drain و ال Source.



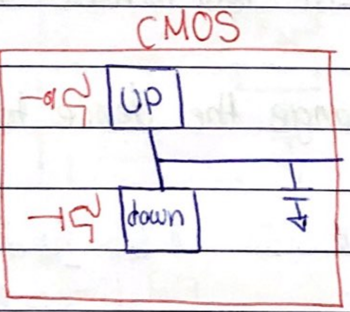
"pass gate"

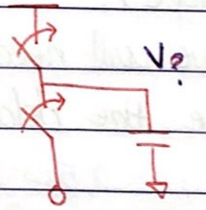
بوخذ ال maximum من كل وحدة
و برجع الاثنين زي ما هو:
good (1) and good (0)

"When we want to pass data only"

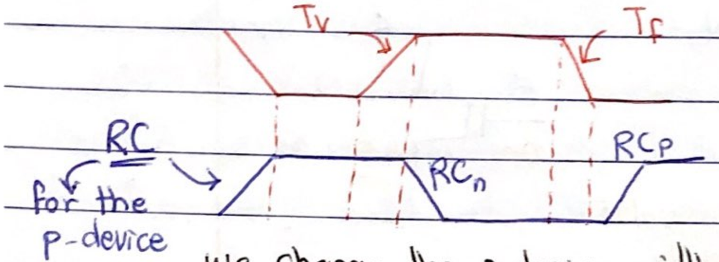
بنشبك inverter على ال output عشان تغير ال output ما يأثر
على ال input (يعكس ال D و ال S)

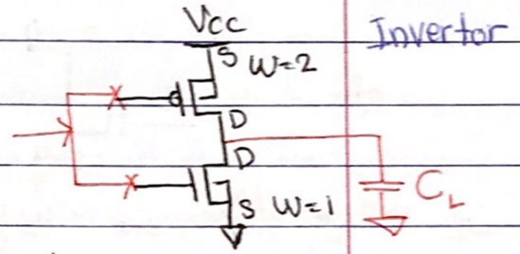
Lec 6:





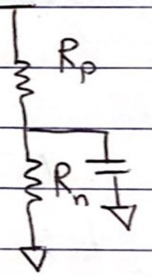
V depends on the switches

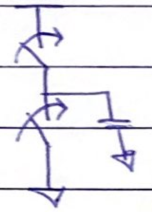




we change the p-device width such that $R_P = R_n$

V_{in}	PMOS	NMOS	
0	on	off	C will charge
$0.5V_{cc}$	on	on	
V_{cc}	off	on	C will discharge





- بعرف النسبة بين wp و wn بالتجريب.

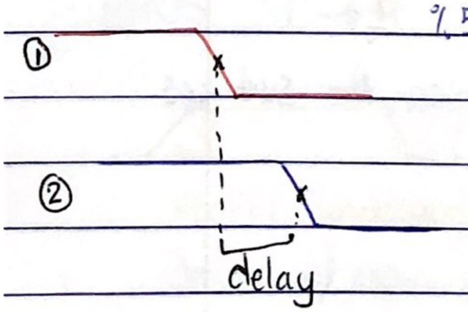
لو عنا ال p-device و ال n-device ON مع بعض اذا ال capacitor مشحون بيصير في I_{short} و اذا مش مشحون بمشي التيار بمسارين

- changing C from 1nF to 2nF will increase the delay (slope),

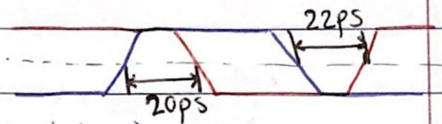
⇒ thus, we will need to change the device to minimize the delay.

• الديلاي بين ال 50% للأولى و ال 50% التانية.

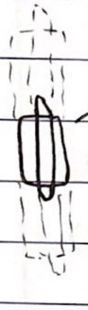
• ال slope بين ال 80% وال 20%



Question:



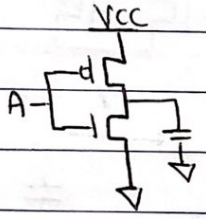
delay = max(p-delay , N- delay)
= 22 ps



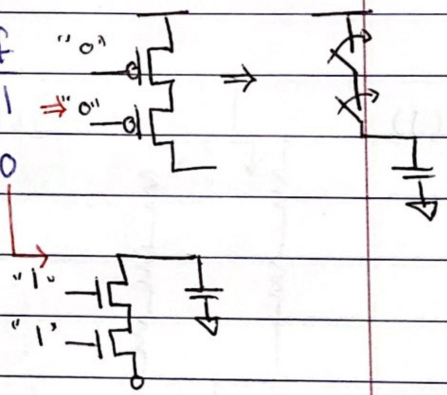
→ changing the width of the p-device from w=1 to w=2. faster charging
Higher internal capacitor on PMOS so it discharges on NMOS

] skew making on edge faster than the other

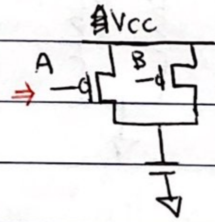
	A	f
P	0	1
N	1	0



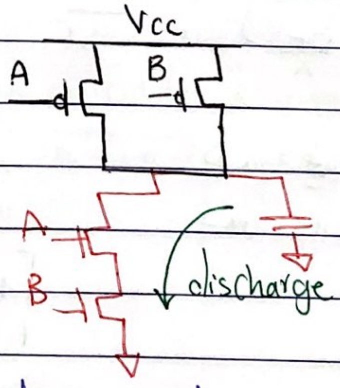
A	B	f
0	0	1
1	1	0



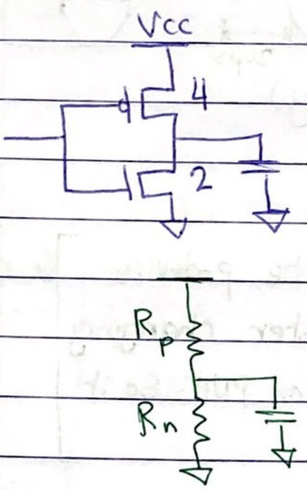
A	B	f
1	0	1
0	1	1
0	0	1

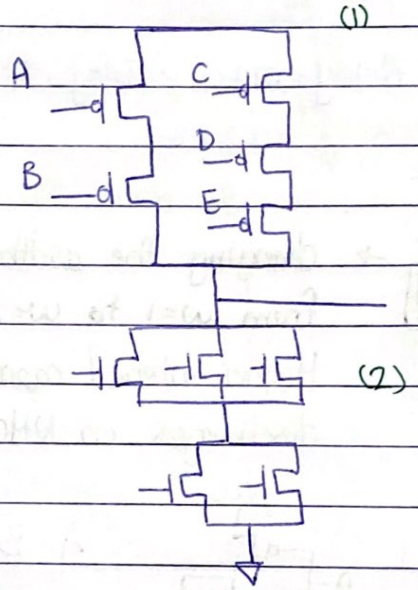


	A	B	f
charge	0	0	1
	0	1	1
	1	0	1
discharge	1	1	0



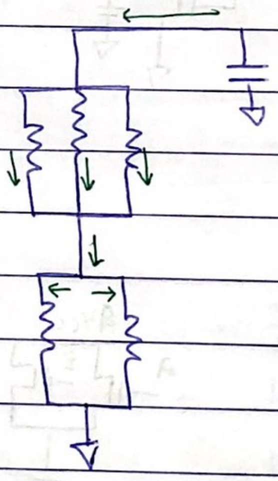
to make Rising & falling time equal
Series → Wxn → R/n
Parallel → no change → worst case (only one device is on)





(1)

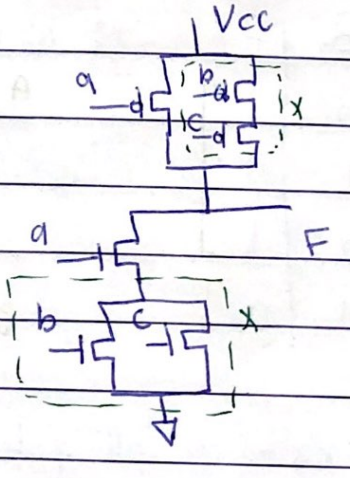
(2)



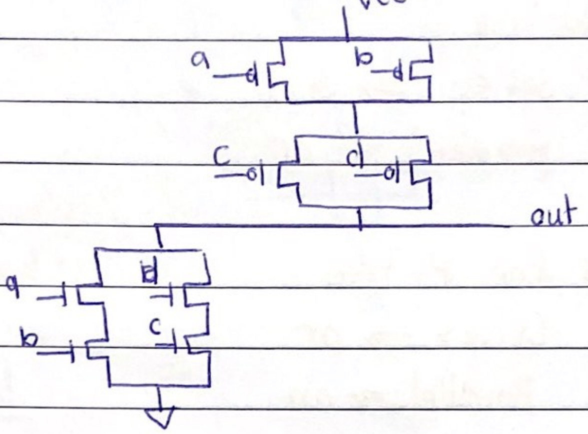
$$F = \overline{a.(\underbrace{b+c}_{x})} = \overline{a.x}$$

هسا في طريقة طويلة

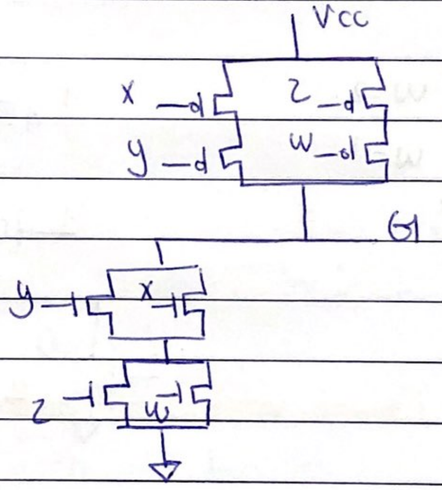
بس هاد أحسن



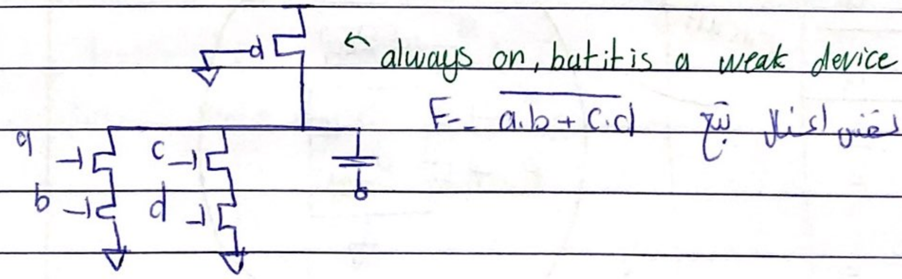
$F = \overline{\underbrace{a.b}_{x} + \underbrace{c.d}_{y}} = \overline{x+y}$



$G = \overline{(x+y).(z+w)}$



NMOS logic (will be discussed later)



$F = \overline{a.b + c.d}$ نفس الشكل تبع

- We can extract the function using the

* N-tree

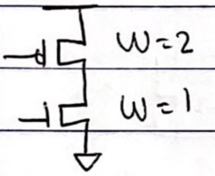
Series ⇒ and

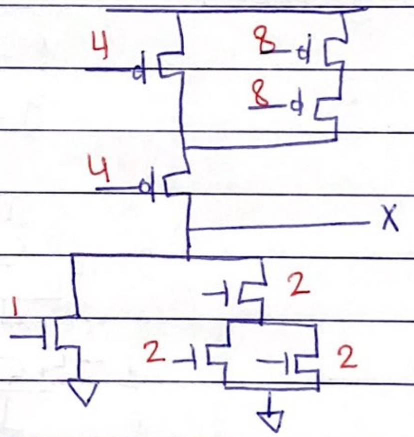
Parallel ⇒ or

* For P-tree

Series ⇒ or

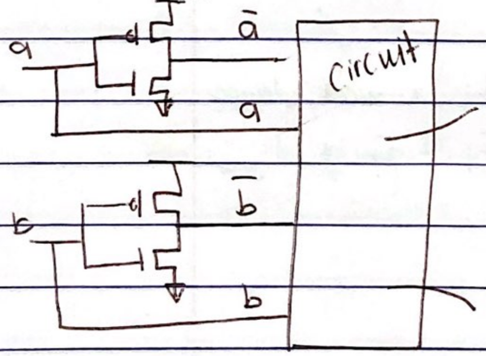
Parallel ⇒ on

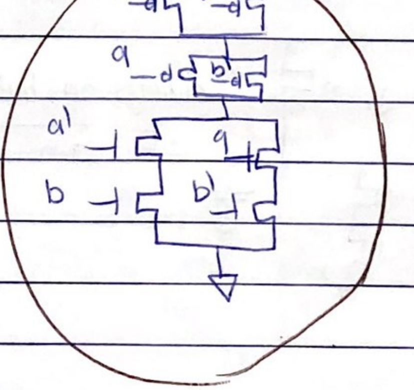




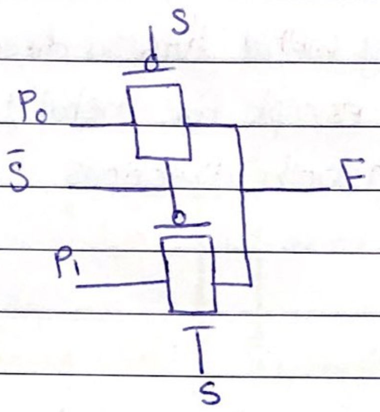
$F = a \oplus b = \bar{a}.b + a.\bar{b}$

⇒ input is as :

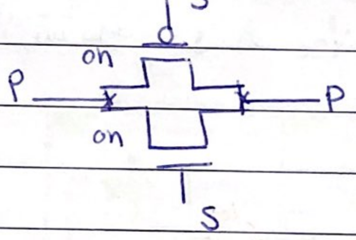




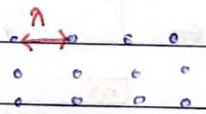
- 2-to-1 Mux



Constructed from two "pass-gates"
⇒ discussed previously
⇒ aims to get good "1" and good "0"

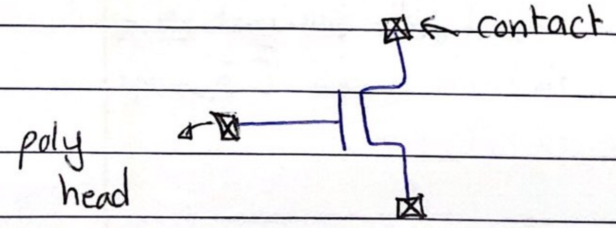


- Structured layout

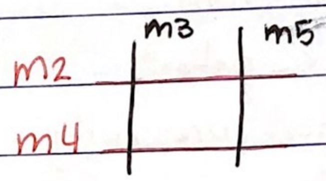


1) process
2) DRC [design roles check]
3) λ ⇒ 2λ = L [allows for scalable device]
   ↳ n+, metal / P+, di] ⇒ each one has its design roles

- Contact : بيشبك ال metal مع ال diffu او ال poly — Poly : gate
  ↳ device / Poly / diffu (N, P)
- Vias : بيشبك بين ال metal layers

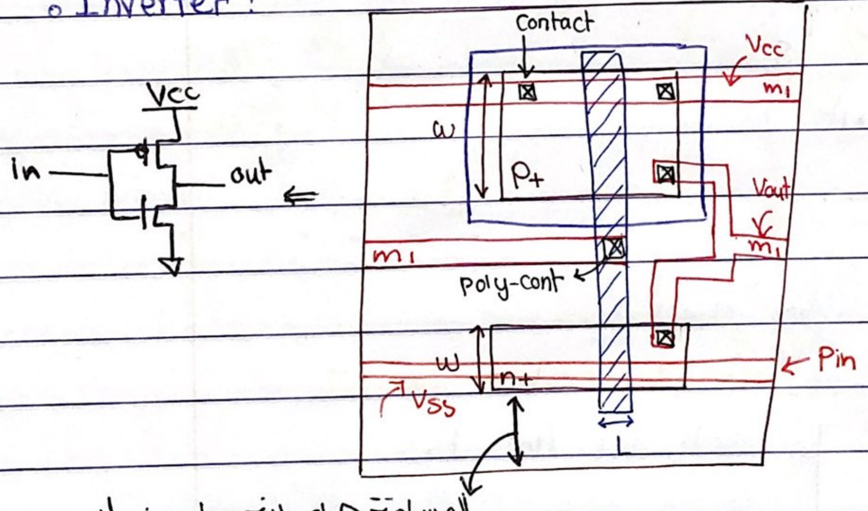


- every metal has a direction [horizontal / virtical]
  - ↳ # except for metal 1, where it can go in both directions



- برتب ال p-device بجهة و ال n-device بجهة من مبدأ انو التشبيك عى ال V_{cc} و ال Vss أسهل

- Inverter:



المسافة هاي بنجيبها من ال [half-design role]
(المسافة بين ال device و ال boundries)

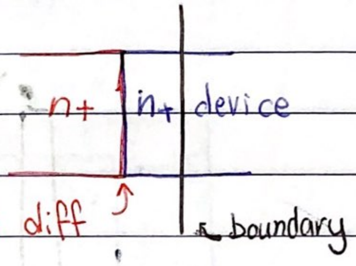
- اي اشي بوصل حولف ال cell اسمه Pin
- اي اشي مش واصل احولف بس بدي استخدمه [اشبك عليه ملاصق] بسميه Port.

• مرات ال boundary بكون لجوا و ال device طالع لبرا

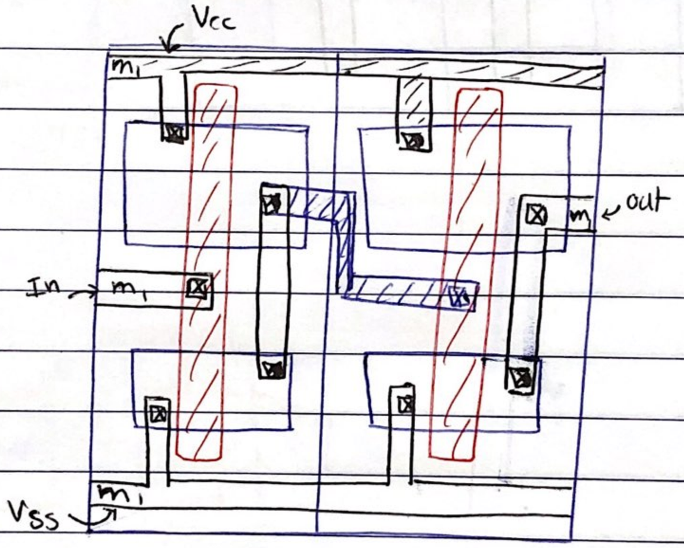
Shared diffusion:

two devices عشان أقدر أشبك

ب Capacitance أقل .



• Buffer:

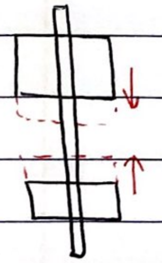


• أحياناً بنزيد المسافة بين ال NMOS و ال PMOS عشان اذا

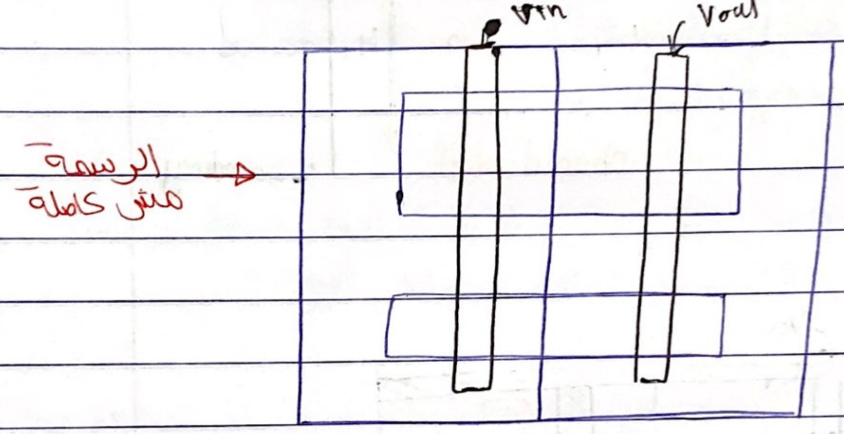
اضطريت أكبر ال Device مستقبلاً أقدر [زي أكبر ال width]

مثلاً عشان اعمل ال R في ال trees متساويات .

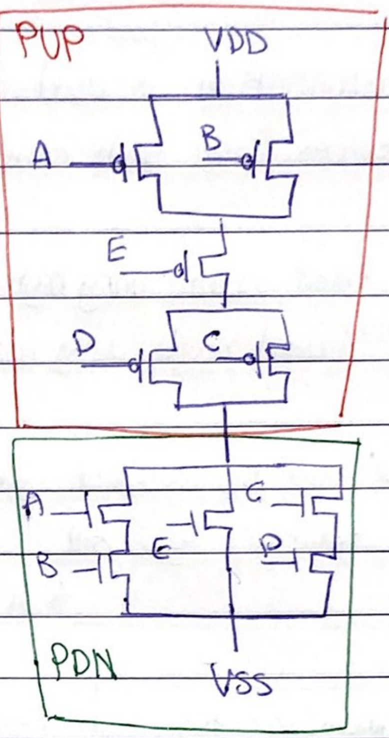
[ما بكون مشمول بال Design rules]

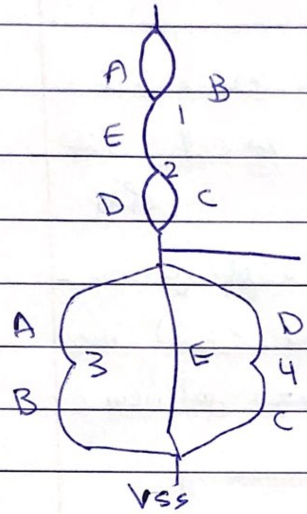


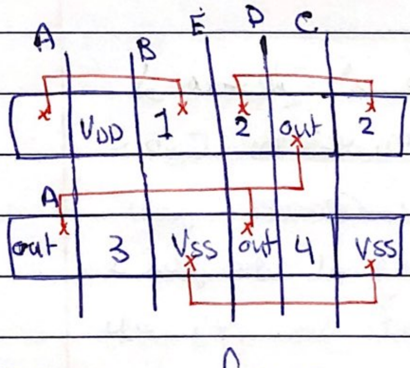
• الأفضل أرسم أو أصمم ال Buffer بطريقة تانية عشان أوفر مساحة ويصير الجهاز أسرع.



- Stick Diagram

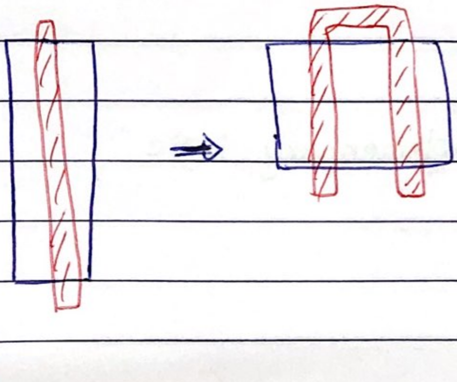






- linking or fingers:

لـه مش متأكدة
منه

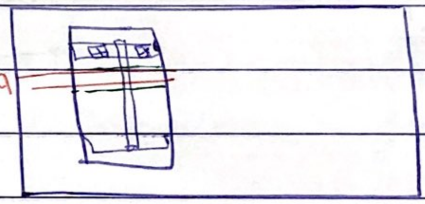


- Instantiation is used to distinguish the devices from each others.

- عشان نشبك كذا cell مع بعض ⟸ fixed width, vary high or fixed high, vary width

- بنتعامل بالأغلب مع الشيء abstract إلا إذا اضطريت مثلاً أشبك metal فوق cell تانية، لازم أعرف ال layout عشان أقدر بعدين أشبك ده.

zone: بخلي عندي سبيس عشان أقدر أضيف layers بالخطوات لقدام.



لو ماحطيت ال zone مثلاً يبقى ممكن أعمل short circuit لو حطيت m1 فوق m1.

- بعمل channel عشان احط فيها metal layers عشان تسهل على ال routing لأنه مقدرش أشبك فوق ال cells بلاش يحصل عندي short.

* بنختار نوع ال metal حسب المسافة وحسب قريبة مني مساحة (track)

• "CMOS Complementary logic"