



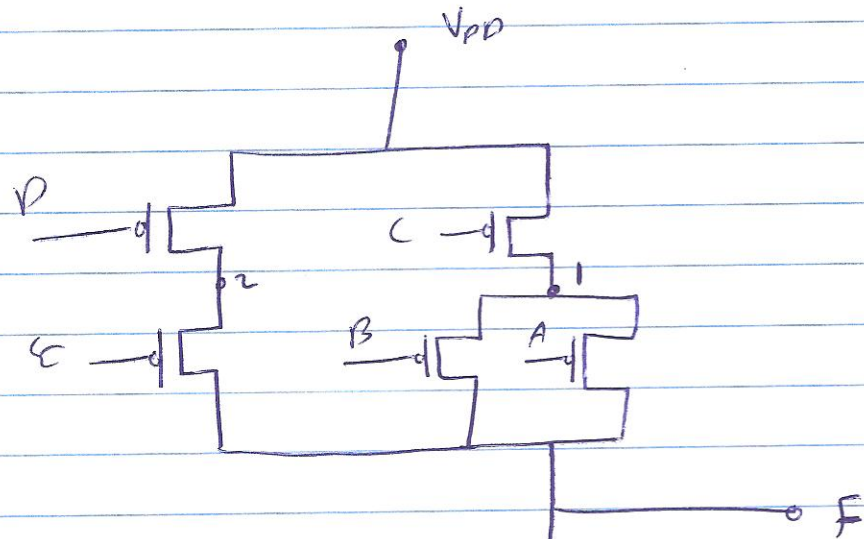
ANSWER BOOKLET

Student: <u>Adham Suwan</u>	Number: <u>10911496</u>	
Course: Department: _____	Number: _____	
Division: _____	Instructor: _____	
Date: _____		
Day	Month	Year

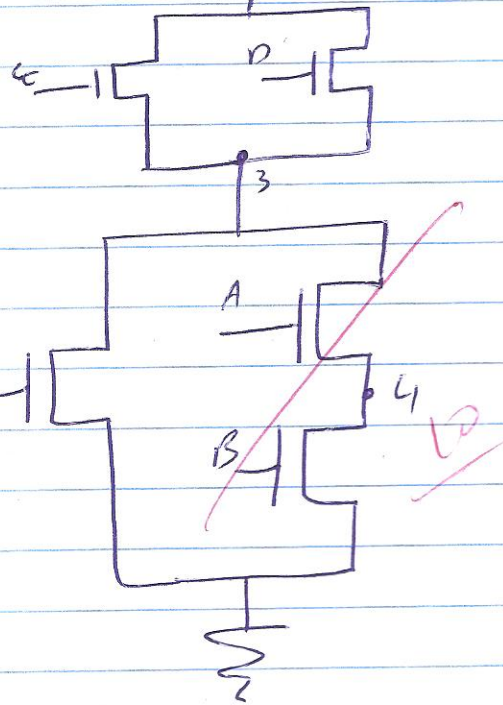
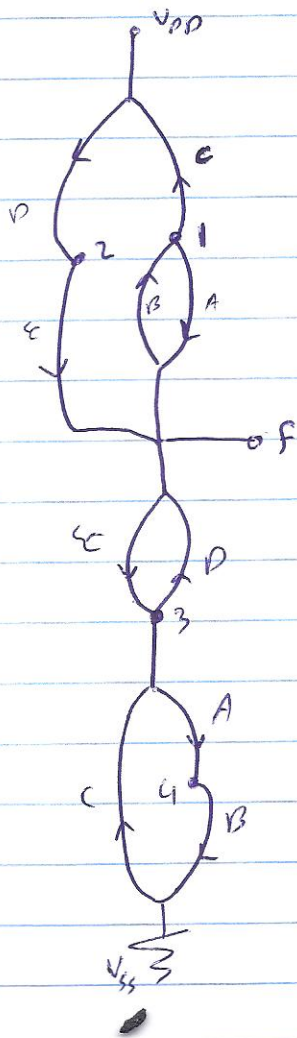
For Instructor's Use

Question	Grade
1	25
2	13
3	
4	38
5	
6	
7	
8	
9	
10	
11	
12	
Total	76

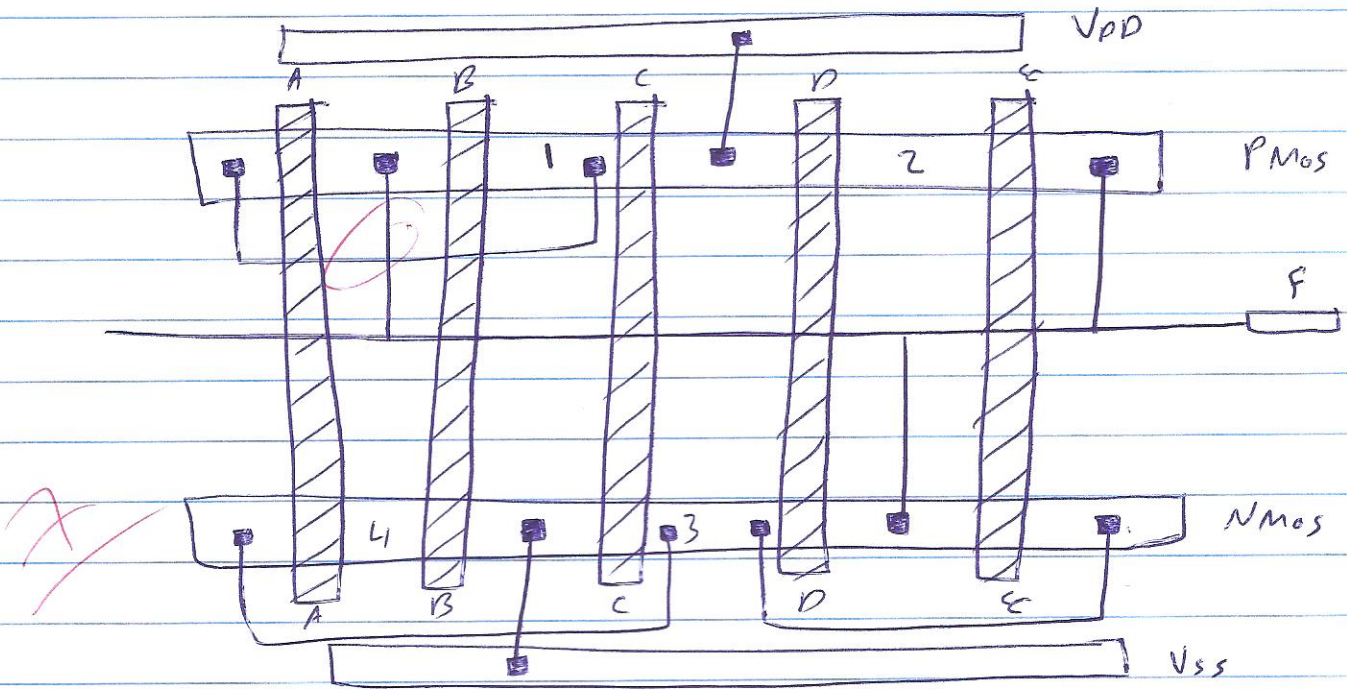
Q1)



Enter path =



path = ~~A, B, C, D, E~~ ✓



Area \Rightarrow Vertical = 7×8
 + horizontal = 5×8

3

Q2) a) equal ~~to~~ $I_D \Rightarrow$ same mode

~~NMOS is in~~

NMOS \Rightarrow

$$\begin{aligned} V_{DS} > V_{GS} - V_T &\Rightarrow \text{sat.} \\ V_{DS} < V_{GS} - V_T &\Rightarrow \text{linear} \end{aligned}$$

PMOS \Rightarrow

$$\begin{aligned} V_{DS} > V_{GS} - V_T &\Rightarrow \text{linear} \\ V_{DS} < V_{GS} - V_T &\Rightarrow \text{sat.} \end{aligned}$$

We will operate ~~at~~ them in linear mode

\Rightarrow V_{in} must be 0 V

since \Rightarrow when $V_{in} = 0$

PMOS ~~is~~ will be close switch $\Rightarrow V_{out} = 1.2$ V

$\Rightarrow V_D(\text{PMOS}) = V_D(\text{NMOS}) = 1.2$ V

- For PMOS \Rightarrow $V_{DS} = V_D - V_S = 1.2 - 1.2 = 0$

$$V_{GS} = 0 - 1.2 = -1.2$$

$$V_{GT} = -1.2 - (-0.2) = -1$$

$V_{DS} < |V_{GT}|$ ~~\Rightarrow~~ ~~$V_{DS} > V_{GT}$~~ \Rightarrow linear mode ✓

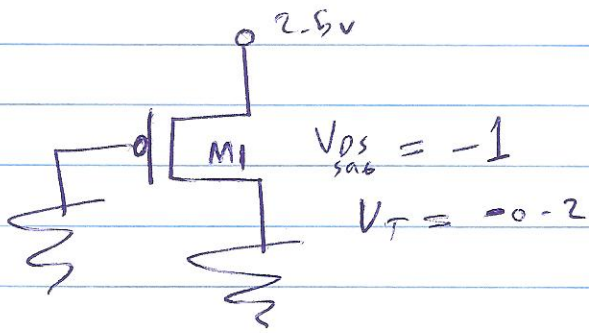
- For NMOS \Rightarrow $V_{DS} = V_D - V_S = 1.2 - 0 = 1.2$

$$V_{GS} = V_G - V_S = 1 - 0 = 1$$

$$V_{GT} = 1 - 0.2 = 0.8$$

$\Rightarrow V_{DS} > |V_{GT}| \Rightarrow$ linear mode too.

b)

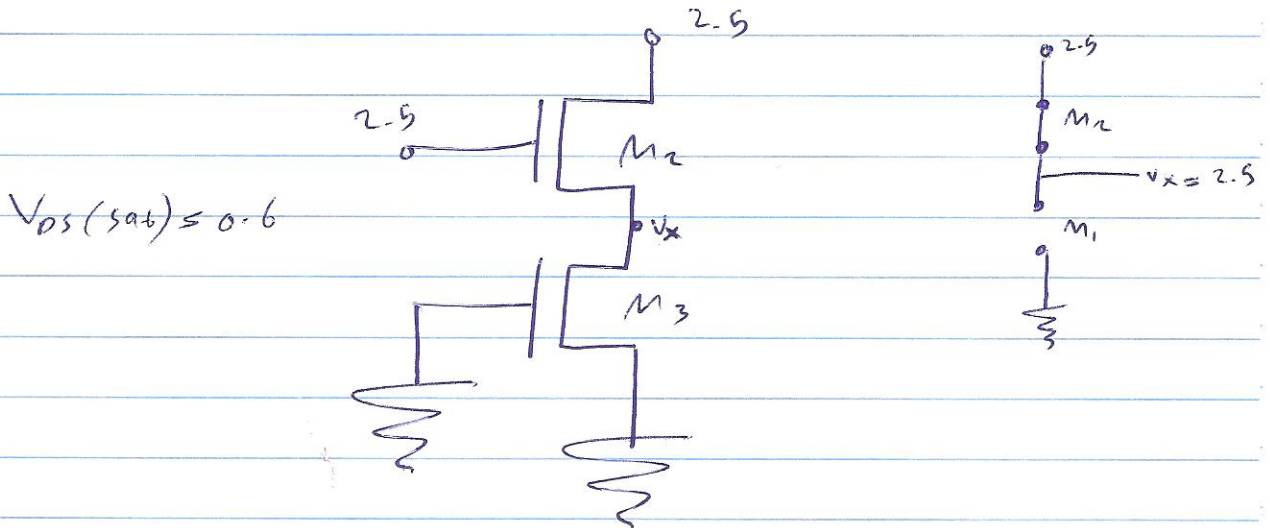


$$V_{DS} = -2.5V$$

$$V_{GS} = 0 - 2.5 = -2.5$$

$$V_{GT} = -2.5 - (-0.2) = -2.3$$

$|V_{DS}| > |V_{DS(sat)}| \Rightarrow$ Velocity saturation



$$V_{DS(sat)} = 0.6$$

For $M_2 \Rightarrow$

$$V_{DS} = 2.5 - 2.5 = 0$$

$$V_{GS} = 2.5 - 2.5 = 0$$

$$V_{GT} = 0 - 0.2 = -0.2$$

~~Cutoff mode ($I_D = 0$)~~

For $M_3 \Rightarrow$

$$V_{DS} = 2.5 - 0 = 2.5$$

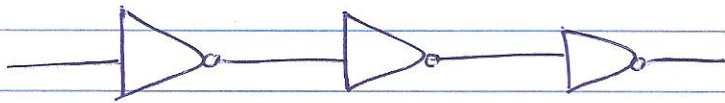
$$V_{GS} = 0 - 0 = 0$$

$$V_{GT} = 0 - 0.2 = -0.2$$

$V_{DS} > V_{DS(sat)}$
 \Rightarrow Velocity saturation

Q3) a) $F = \frac{C_L}{C_{in}} = 27$

$\Rightarrow f = \sqrt[3]{27} = \cancel{3} = 4$



$f_1 = 1$ $f_2 = f = 3$ $f_3 = f^2 = 9$

$t_p = N t_{inv} (\gamma + f)$

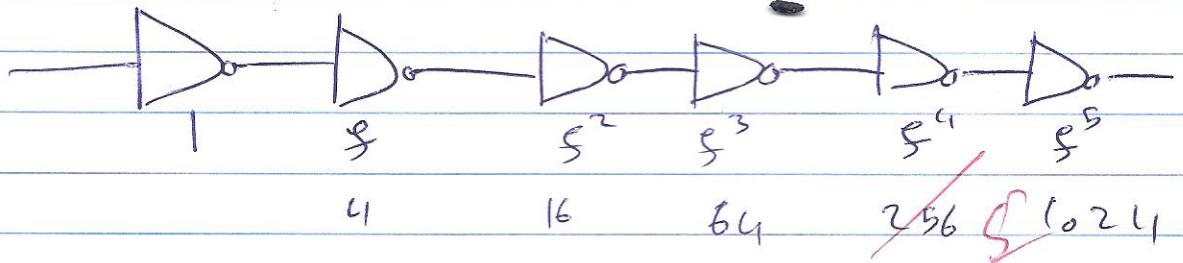
$= 3 t_{inv} (1 + 3) = 12 t_{inv}$

Overhead = $f \frac{(f^N - 1)}{(f - 1)}$

$= 3 \frac{(3^3 - 1)}{2} = \frac{3 \times 8}{2} = 12$

if $C_L = 3000 C \Rightarrow N = \frac{\ln(C_L/C_{in})}{\ln f}$

$\Rightarrow \frac{\ln(3000)}{\ln(4)} = 5.7 \approx 6$ Stages



$t_p = N t_{inv} = 6(1 + 4) t_{inv} = 30 t_{inv}$

Q3) b)

* Photolithography =

1) مرحلة الoxidation يتم عمل طبقة SiO_2 على ال substrate عن طريق
وهي في فرن تحت درجة حرارة 1000 $^{\circ}C$ وهيدروجين

2) مرحلة ال photoresist coating = يتم وضع ال photoresist (التي هي أنفاس ~~negative~~)

التي لها قابلية الذوبان في المواد الكهربية

3) مرحلة ال Mask = يتم وضع ال Mask الذي يصنوي على ال Design
المرغوب عليه ويكون negative \Rightarrow ال design الأصلي عليه أناسقمتنا
negative photo resist

4) مرحلة ال light = يتم تسليط أشعة لا على ال substrate
عنه تسليط الأجزاء التي لا نريد لها ال نور وذوبان الأجزاء الباقية

5) مرحلة ال acid etching = يتم إزالة الأجزاء الذائبة عن طريق ال acid
وتسليط باقي الأجزاء باستخدام ال ~~فرمان~~

6) مرحلة ال clean & dry = يتم التنظيف باستخدام ماء منزوع
الأيونات والتجفيف باستخدام نيتروجين

بعد مرحلة ال photolithography التي نقوم بتطبيقها على

الأجزاء المراد عمل well فيها \leftarrow نقوم بعمل doping

حسب نوع ال MOS المطلوب ويتم ال doping باستخدام

ال Diffusion أو ال Ion Implantation

إدخال ال dopants كما في الشكل
أيونيات بعد مساحتها

\Rightarrow يتم إدخال ال dopants كطريق غاز وفرن

٢) تصميم قنصل ال Gates عن طريق (photolithography) ووضوح ال SiO_2 = كمال ال gates و فوقها لبريق ال poly si

٣) عمل ال connections نقوم بوضعها كما انها مواد عازلة مفرقة و متصلة بالموصل الازايم على سطح ~~السطح~~

